

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **04-321315**

(43)Date of publication of application : **11.11.1992**

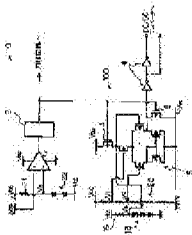
(51)Int.Cl.

H03K 17/22

(21)Application number : **03-115562** (71)Applicant : **NEC CORP**

(22)Date of filing : **19.04.1991** (72)Inventor : **NAGAI NOBUTAKA**

(54) **POWER-ON RESISTING DEVICE**



(57)Abstract:

PURPOSE: To provide a power-on reset device for a semiconductor device driven by plural power supplies.

CONSTITUTION: The DC/DC converter of this semiconductor device generates plural internal power supply voltage VDD and VSS. When the external power supply voltage VCC reaches a 1st reference voltage, a power-on resetting circuit 100 for the DC/DC converter supplies a 1st power-on reset signal to the DC/DC converter. When the internal power supply voltage VDD reaches a 2nd reference voltage, a power-on resetting circuit for an internal circuit 100 generates a 2nd power-on resetting signal. The 2nd power-on resetting signal stops the current

supply to the power-on resetting circuit 100 for the DC/DC converter to fix the output level of the power-on resetting signal.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平4-321315

(43) 公開日 平成4年(1992)11月11日

(51) Int.Cl.⁵

H 0 3 K 17/22

識別記号

庁内整理番号

F I

技術表示箇所

B 9184-5 J

審査請求 未請求 請求項の数 5 (全 5 頁)

(21) 出願番号 特願平3-115562

(22) 出願日 平成3年(1991)4月19日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 長井 信孝

東京都港区芝五丁目7番1号 日本電気株式会社内

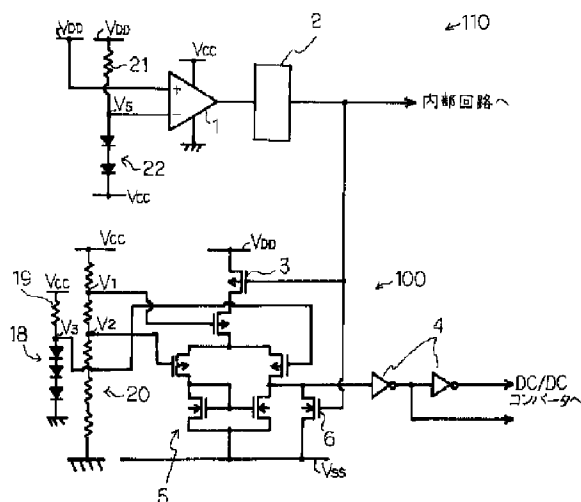
(74) 代理人 弁理士 桑井 清一

(54) 【発明の名称】 パワーオンリセット装置

(57) 【要約】

【目的】 本発明の目的は複数電源で駆動する半導体装置用のパワーオンリセット装置を提供することである。

【構成】 本発明の適用される半導体装置は、DC/DCコンバータで複数の内部電源電圧VDD、VSSを発生させている。外部電源電圧VCCが第1基準電圧に達すると、DC/DCコンバータ用パワーオンリセット回路100が第1パワーオンリセット信号をDC/DCコンバータに供給する。その後、内部電源電圧VDDが第2基準電圧に達すると、内部回路用パワーオンリセット回路110が第2パワーオンリセット信号を発生させる。第2パワーオンリセット信号はDC/DCコンバータ用パワーオンリセット回路100への電流供給を停止し、第1パワーオンリセット信号の出力レベルを固定する。



【特許請求の範囲】

【請求項1】 外部から供給される外部電源電圧が第1基準電圧に達すると第1パワーオンリセット信号を出力する第1パワーオンリセット回路と、内部電源電圧が第2の基準電圧に達すると第2パワーオンリセット信号を出力する第2パワーオンリセット回路と、第2パワーオンリセット信号に応答して第1パワーオンリセット回路を非活性化し第1パワーリセット信号の出力レベルを固定する手段とを備えたパワーオンリセット装置。

【請求項2】 外部電源電圧が第1基準電圧に達すると内部電源電圧を発生させる内部電源回路をリセットする第1パワーオンリセット信号を発生する第1パワーオンリセット回路と、内部電源電圧が第2基準電圧に達すると内部電源回路以外の内部回路をリセットする第2パワーオンリセット信号を発生する第2パワーオンリセット回路と、第2パワーオンリセット信号に応答して第1パワーオンリセット回路への電流の供給を停止するとともに第1パワーオンリセット信号の出力レベルを固定する手段とを備えたパワーオンリセット装置。

【請求項3】 第1パワーオンリセット回路は、外部電源電圧から第1基準電圧を発生させる第1基準電圧発生部と、外部電圧の昇圧と共に上昇する第1監視電圧を発生させる抵抗列と、第1基準電圧と第1監視電圧とを比較する第1コンパレータとを有する請求項2記載のパワーオンリセット装置。

【請求項4】 第2パワーオンリセット回路は、内部電源電圧から第2基準電圧を発生させる第2基準電圧発生部と、内部電源電圧と第2基準電圧を比較する第2コンパレータと、第2コンパレータの出力レベルを変更するレベルシフタとを有する請求項3記載のパワーオンリセット装置。

【請求項5】 上記手段は第1内部電源線と第1コンパレータとの間に介在する第1スイッチングトランジスタと、第2コンパレータの出力と第2内部電源線との間に介在する第2スイッチングトランジスタとで構成された請求項4記載のパワーオンリセット装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はパワーオンリセットに関し、特にパワーオンリセットされるタイミングを2回以上設定できるパワーオンリセット回路に関する。

【0002】

【従来の技術】 従来のパワーオンリセット回路は、図5に示されているように、リファレンス電圧(V3)を発生させるダイオード列18と抵抗19を電源電圧VCCと接地間に接続し、これと並列に電源電圧VCCを分圧(V2)するための抵抗20、21を設け、リファレンス電圧V3と分圧V2とをコンパレータ17に供給している。コンパレータ17は分圧V2とリファレンス電圧V3を比較してパワーオンリセット信号を出力する。

【0003】 次に動作について説明する。ダイオード列18と抵抗19に作られるリファレンス電圧V3は、各ダイオードの順方向電圧VFを0.6Vとすると、 $0.6V \times 3 = 1.8V$ となる。コンパレータ17には、このリファレンス電圧V3と電源電圧VCCを抵抗20、21によって分圧電圧V2とが供給され、分圧電圧V2は電源電圧VCCの立ち上がりと共に大きくなる。分圧電圧V2がリファレンス電圧V3(1.8V)より大きくなると、図6のA点でコンパレータ17の出力が反転する。このパワーオンリセット信号が内部回路をセット状態からリセット状態にして、立ち上がり時の過渡状態に起因する誤動作から半導体装置を守り、以後、正常に動作させる。

【0004】

【発明が解決しようとする課題】 この従来のパワーオンリセット回路では唯1点(A点)のみ監視しているので、1種類の電源に対してのみ有効であり、例えば3電源以上が同一半導体装置に混在する場合、各電源の立ち上がり時間が異なるため、いずれか1種類の電源の電圧がA点に達したとしても、パワーオンリセットの効かない電源系に出力電圧の波形異状等が生じるという問題点があった。

【0005】 仮に、図5に示したパワーオンリセット回路を2つ用い、3電源の素子にパワーオンリセットをかけた場合、上記出力電圧の波形異状は生じにくくなるものの同一構成の回路を2つ用いなければならないため、回路電流の増加、素子数の増加などの問題点があった。

【0006】

【課題を解決するための手段】 本発明の要旨は、外部から供給される外部電源電圧が第1基準電圧に達すると第1パワーオンリセット信号を出力する第1パワーオンリセット回路と、内部電源電圧が第2の基準電圧に達すると第2パワーオンリセット信号を出力する第2パワーオンリセット回路と、第2パワーオンリセット信号に応答して第1パワーオンリセット回路を非活性化し第1パワーリセット信号の出力レベルを固定する手段とを備えたことである。

【0007】

【発明の作用】 外部電源電圧が上昇を開始し、第1基準電圧に達すると、第1パワーオンリセット信号が出力され、その後、内部電源電圧が第2の基準電圧に達すると、第2パワーオンリセット信号が出力される。この第2パワーオンリセット信号は第1パワーオンリセット回路にも供給され、第1パワーオンリセット信号の出力レベルの固定と、第1パワーオンリセット回路の非活性化にも使用される。

【0008】

【実施例】 次に本発明の実施例について図面を参照して説明する。図1は本発明の第1実施例を示す等価回路である。

3

【0009】本実施例はDC/DCコンバータで5V電源(VCC)を+10V(VDD)と-10V(VSS)に昇圧し、この電源で内部回路を動作させる4電源の半導体装置のパワーオンリセットを行う。DC/DCコンバータ用のパワーオンリセット回路100は、基準電圧V3を作るためのダイオード列18と抵抗19との直列接続体と、5V電源VCCの立ち上がりに従い増加する分圧V2を作る抵抗列20と、基準電圧V3と分圧V2を入力し、DC/DCコンバータで昇圧された電圧+10V(VDD)と-10V(VSS)で動作するオペアンプで構成されたコンパレータ5と、コンパレータ5のオン/オフを行うコンパレータスイッチ3と、コンパレータ5がオフ状態であるときコンパレータ5の出力を固定するインバータ固定用スイッチ6と、インバータ4とで構成する。

【0010】内部回路用のパワーオンリセット回路110は、基準電圧V5を作る抵抗21と、ダイオード列22と、DC/DCコンバータによって昇圧される電圧VDDと基準電圧V5を入力し電源電圧VCCで動作するコンパレータ1と、この出力信号をDC/DCコンバータで昇圧する電圧まで引き上げるレベルシフタ2とで構成されている。

【0011】コンパレータスイッチ3と入力固定用のスイッチ6のゲートには、コンパレータ1から出力されるレベルシフタ2によって昇圧された信号が入力されている。またコンパレータ5の出力は、インバータ4を介してDC/DCコンバータ部のセット用トランジスタ10a、10bのゲートに接続されている(図3参照)。

【0012】次に動作を図2を用いて説明する。5V電源VCCを入力すると電源電圧VCCは5Vに向かって立ち上がっていく。例えば、コンパレータ5の基準電圧V3を1.8、もう一方の入力を3/5VCCとすると、電源電圧VCCが3Vとなったとき(図2中A点)、コンパレータ5の出力が反転し、DC/DCコンバータをリセットする。

【0013】その結果、DC/DCコンバータは動作を開始し、昇圧電圧VDDは上昇しはじめる。

【0014】次に、コンパレータ1の基準電圧V5をVCC+VF×2、もう一方の電圧をVDDとすると、VDDが昇圧されVCCよりも約1.5V以上高くなると(図2B点)コンパレータ1の出力が反転し、このコンパレータの出力信号がレベルシフタ2によってレベルを上昇される。したがって内部回路がリセットされる。

【0015】一方、コンパレータ5はオフ状態となり、コンパレータ5の出力はインバータ入力固定用スイッチ6がオンすることによって低レベルに固定される。

【0016】逆に、5V電源VCCがオフしようとするとき(図2のD点)は、VDDの電圧がVCC+1.5Vより低くなると(図2中C点)、コンパレータ1の出力が反転し、内部回路がセットされる。コンパレータ5のスイ

4

ッチ3がオンし、インバータ入力固定用スイッチ6はオフする。VCCが3V以下になると、5の出力が反転しDC/DCコンバータ部がセットされる。

【0017】DC/DCコンバータ用パワーオンリセット回路100は第1パワーオンリセット回路として機能し、内部回路用パワーオンリセット回路110は第2パワーオンリセット回路として機能する。スイッチ3、6が第1パワーオンリセット回路の非活性化と第1パワーオンリセット信号の出力レベルを固定する手段を構成する。

【0018】次に本発明の第2実施例について図4を参照して説明する。DC/DCコンバータ用パワーオンリセット回路150は、基準電圧V8を作るためのダイオード列18と、抵抗19と、VCC電源の立ち上がりにもない増加するVCCの分圧V6を作る抵抗列20と、電圧V6、V8を入力しDC/DCコンバータで昇圧された電圧10V(VDD)と-10V(VSS)で動作するコンパレータ13と、コンパレータ用のスイッチ16と、インバータ15の入力を固定するスイッチ14とで構成されている。

【0019】内部回路用のパワーオンリセット回路160は基準電圧V10を作る抵抗21とダイオード列22と、DC/DCコンバータによって昇圧される電圧VDDの増加に伴って変化する分圧V9を作る抵抗列23と、これらの電圧V9、V10を入力しVCCで動作するコンパレータ11と、この出力信号をDC/DCコンバータで昇圧する電圧に引き上げるレベルシフタ12とで構成されている。コンパレータ用のスイッチ16と入力固定用スイッチ14のゲートには、レベルシフタ12の出力信号をインバータ41を介して入力される。

【0020】第2実施例の動作は第1実施例と同様であり、まず、VCCが3V程度となるとDC/DCコンバータ用のパワーオンリセット回路150がリセットされる。DC/DCコンバータが動作し、VDDの電位が上昇し、電圧VDDがVCC+1.5V程度の電圧となると、内部回路がリセットされ、先に働いたDC/DCコンバータ側のコンパレータ13がオフし、インバータ15の入力が固定される。

【0021】

【発明の効果】以上説明したように本発明は、内部回路用と移動電源電圧発生回路用のパワーオンリセット回路を用い、内部回路用のパワーオンリセット回路で複数電源電圧発生回路用のパワーオンリセット回路をオフさせているので、消費電流を少なくすることができるという効果を得られる。

【0022】さらに、立ち上がりタイミングの異なる電源を持つ素子の出力波形の異状などを防ぐことができるという効果も得られる。

【0023】複数電源発生回路用のパワーオンリセット回路で回路電流を多少消費しても内部回路用パワーオン

リセット回路で停止でき、シフトレジスタを用いずに複数電源電圧発生用パワーオンリセット回路が構成できるため素子数を少なくすることができるという効果も有する。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施例を示す等価回路図である。

【図2】第1実施例のタイミングチャートである。

【図3】DC/DCコンバータ部リセット用スイッチの回路図である。

【図 4】 本発明の第 2 実施例を示す等価回路図である。 10

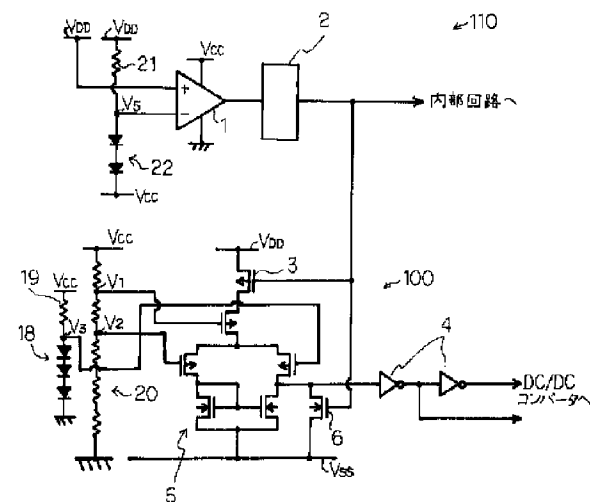
【図5】従来のパワーオンリセット回路の回路図である。

【図6】従来のパワーオンリセット回路のタイミングチャートである。

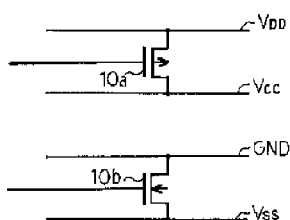
【符号の説明】

- 1 コンパレータ
- 2 レベルシフタ
- 3 コンパレータスイッチ
- 4 インバータ

【图 1】



【图3】



5 コンパレータ

6 インバータ入力固定用スイッチ

7 VDD波形

8 VCC波形

9 VSS波形

10 DC/DCコンバータ部リセットスイッチ

11 コンパレータ

12 レベルシフト

13 コンパレータ

14 インバータ入力固定用スイッチ

15 インバータ

16 コンパレータスイッチ

17 コンパレータ

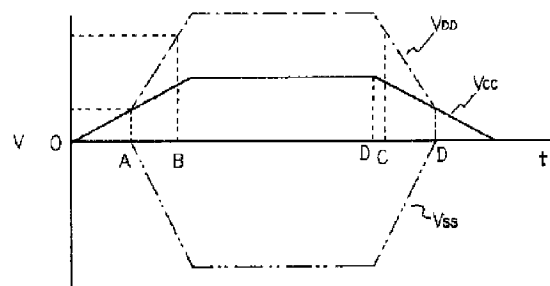
18, 22 ダイオード

19, 20, 21, 23 抵抗

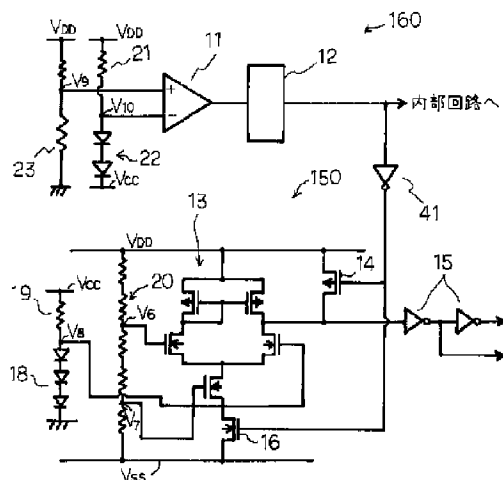
100, 150 DC/DCコンバータ用パワーオン
リセット回路 (第1パワーオンリセット回路)

110, 160 内部回路用パワーオンリセット回路
(第2パワーオンリセット回路)

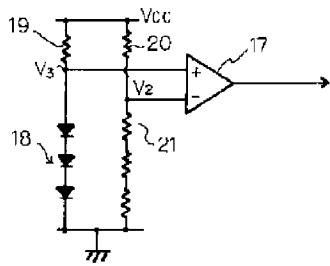
【图 2】



【図4】



【図5】



【図6】

